

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92838

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 9 B
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数20 O L (全 13 頁)

(21) 出願番号 特願平7-248004

(22) 出願日 平成7年(1995)9月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 廣瀬 貴司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 田村 達彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

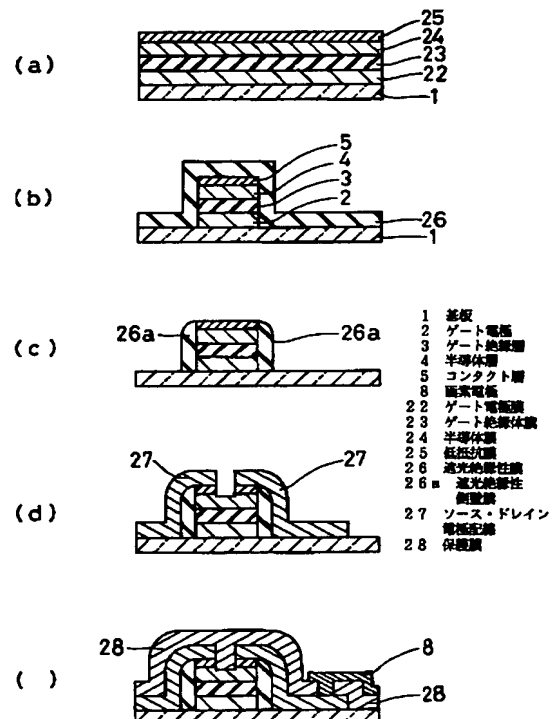
(74) 代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【課題】 薄膜トランジスタの製造工程を簡略化し、かつ表示状態における特性劣化の少ない薄膜トランジスタを低コストで効率よく得る。

【解決手段】 ガラス基板1の上にゲート電極膜22、ゲート絶縁体膜23、半導体膜24、低抵抗膜25とを成膜し、エッチングし、コンタクト層5、半導体層4、ゲート絶縁体層3、ゲート電極2を形成する。黒色有機膜からなる遮光絶縁性膜26をフォトリソグラフィー製法により全面に形成し、酸素プラズマを用いた反応性イオンエッチング法により遮光絶縁性膜26を異方性エッチングし、コンタクト層5を露呈するとともに、コンタクト層5、半導体層4、ゲート絶縁体層3、ゲート電極2の側面に遮光絶縁性側壁膜26aを形成する。ソース・ドレイン電極配線27、保護膜28を形成後、前記ソース・ドレイン電極配線27と接続した画素電極8を形成する。



【特許請求の範囲】

【請求項1】 透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層と半導体層が略同一パターンで積層され、前記ゲート電極の側壁と前記半導体層の側壁を覆う遮光絶縁性側壁膜と、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することを特徴とする薄膜トランジスタ。

【請求項2】 遮光絶縁性側壁膜が黒色有機膜である請求項1に記載の薄膜トランジスタ。

【請求項3】 透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層が略同一パターンで積層され、前記半導体層が前記ゲート電極より小さいパターンであり、前記ゲート電極の側壁を覆う絶縁性側壁膜と、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することを特徴とする薄膜トランジスタ。

【請求項4】 絶縁性側壁膜がゲート電極の陽極酸化膜である請求項3に記載の薄膜トランジスタ。

【請求項5】 ゲート電極の側壁に前記ゲート電極の陽極酸化膜が存在する請求項1または3に記載の薄膜トランジスタ。

【請求項6】 絶縁性側壁膜が、窒化シリコン膜、酸化シリコン膜および有機膜から選ばれる少なくとも1つの膜である請求項3に記載の薄膜トランジスタ。

【請求項7】 絶縁性側壁膜が遮光性膜である請求項3に記載の薄膜トランジスタ。

【請求項8】 ゲート電極がA1またはA1合金からなる請求項1または3に記載の薄膜トランジスタ。

【請求項9】 ゲート電極がTaまたはTa合金からなる請求項1または3に記載の薄膜トランジスタ。

【請求項10】 ソース・ドレイン配線と半導体層との間にコンタクト層を存在させた請求項1～9のいずれか1項に記載の薄膜トランジスタ。

【請求項11】 ソース・ドレイン配線の表面に保護層が存在する1～10のいずれか1項に記載の薄膜トランジスタ。

【請求項12】 基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタの製造方法において、基板上にゲート電極膜とゲート絶縁体膜と半導体膜とを成膜し、前記ゲート電極膜と前記ゲート絶縁体膜と前記半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とが積層されたパターンを形成し、前記基板およびパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記ゲート電極と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成

し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターンニングしソース・ドレイン電極配線を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項13】 半導体膜の上に低抵抗膜とコンタクト金属膜とを成膜し、ゲート電極膜とゲート絶縁体膜と半導体膜と低抵抗膜とコンタクト金属膜とを第1のマスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とコンタクト層とコンタクト金属層とを形成し、前記ゲート電極とゲート絶縁体層と半導体層を前記コンタクト金属層よりも小さくし、前記基板およびコンタクト金属層の表面を覆う遮光絶縁性膜を形成後、前記コンタクト金属層を第2のマスクとした異方性ドライエッチングにより、前記ゲート電極と半導体層との側壁を覆う遮光絶縁性側壁膜を形成し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および遮光性絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成する請求項12に記載の薄膜トランジスタの製造方法。

【請求項14】 基板上にゲート電極とゲート絶縁体層と半導体層とを形成した後に、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板および前記ゲート電極とゲート絶縁体層と半導体層とが構成するパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記陽極酸化膜と前記ゲート絶縁体層と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成し、前記陽極酸化膜と遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターンニングしソース・ドレイン電極配線を形成する請求項12に記載の薄膜トランジスタの製造方法。

【請求項15】 ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記基板およびパターンの表面を覆うように絶縁性膜を形成後、異方性ドライエッチングにより前記ゲート電極の側壁を覆う絶縁性側壁膜を形成し、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成する請求項12に記載の薄膜トランジスタの製造方法。

【請求項16】 ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁

3

体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記陽極酸化膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板、前記ゲート電極の側壁、前記絶縁体層の側壁、および前記半導体層の側壁の表面に成膜後パターンニングしソース・ドレイン電極配線を形成する請求項12に記載の薄膜トランジスタの製造方法。

【請求項17】ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板およびパターンの表面に絶縁性膜を形成後、異方性ドライエッチングにより前記陽極酸化膜を覆う絶縁性側壁膜を形成し、前記陽極酸化膜と前記絶縁性側壁膜とにより前記ゲート電極の側壁から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成する請求項15に記載の薄膜トランジスタの製造方法。

【請求項18】異方性ドライエッチングが酸素を含むプラズマによる反応性イオンエッチングである請求項12、13、14、15、および17のいずれか1項に記載の薄膜トランジスタの製造方法。

【請求項19】半導体層の上に低抵抗層を形成する請求項12～18のいずれか1項に記載の薄膜トランジスタの製造方法。

【請求項20】ソース・ドレイン配線の表面に保護層を形成する請求項12～18のいずれか1項に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理端末や映像機器に用いられる表示装置に利用できる薄膜トランジスタおよびその製造方法に関するものである。

【0002】

【従来の技術】近年、高度情報化社会の発達によりマンマシンインターフェイスである表示装置の小型化、軽量化、低消費電力化、高解像度化等の性能向上のための研究開発がさかに行われている。特に液晶を用いた表示装置は、コンピューター機器や情報機器端末のダウンサイジングに合致した表示装置として、また、携帯用、車載用さらには壁掛けテレビ用表示装置として、コスト低減を含めさかに行われている。

【0003】以下図面を参照しながら従来の薄膜トランジスタの製造方法について説明する。図7は、第1の従来例としての薄膜トランジスタの構造断面図である。その製造方法を説明する。まず、ガラスからなる基板71上にゲート電極72となるタンタル膜、ゲート絶縁体層

4

73となる窒化シリコン膜、半導体層74となる非晶質シリコン膜、コンタクト層75となる低抵抗非晶質シリコン膜、およびソース・ドレイン電極76となるモリブデン膜を順に成膜する。次に、モリブデン膜上にゲート配線パターンを有するレジストを形成し、レジストをマスクとして前記モリブデン膜、低抵抗非晶質シリコン膜、非晶質シリコン膜、窒化シリコン膜、タンタル膜をエッチング除去する。次に、前記レジストを除去後、前記タンタル膜を陽極酸化処理し前記タンタル膜の側壁に酸化タンタルからなる側壁絶縁膜77を形成する。次に、透明導電膜による画素電極78を形成後、画素電極78との配線を含むソース・ドレイン配線79を形成し、ソース・ドレイン配線79間の露呈したモリブデン膜ならびに露呈したモリブデン膜直下の低抵抗非晶質シリコン膜を除去し、ソース・ドレイン配線79からなる配線構造を有する薄膜トランジスタが完成する（例えば、特開昭63-182862号公報）。

【0004】図8は、第2の従来例としての薄膜トランジスタを示した構造断面図である。その製造方法を説明する。第1の従来例と同様にして、ガラスからなる基板81上にゲート電極82となるタンタル膜、ゲート絶縁体層83となる窒化シリコン膜、半導体層84となる非晶質シリコン膜、コンタクト層85となる低抵抗非晶質シリコン膜、およびソース・ドレイン電極86となるモリブデン膜を順に成膜後、ゲート配線パターンにエッチング加工する。次に、ポリイミドをスピンナで塗布し全面平坦化した後、酸素プラズマによるエッチバックを行いモリブデン膜を露呈させ、タンタル膜の側壁の絶縁性と素子の平坦化を兼ねた平坦化絶縁膜810を形成する。次に、透明導電膜による画素電極88を形成後、ソース・ドレイン配線89を形成し、さらに第1の従来例と同様にソース・ドレイン配線89間の露呈したモリブデン膜ならびに露呈したモリブデン膜直下の低抵抗非晶質シリコン膜を除去し、配線構造を有する薄膜トランジスタが完成する（特開昭63-182862号公報）。図9は、第2の従来例としての薄膜トランジスタを示した平面図である。図9において84aは、図8の半導体層84であってソース・ドレイン配線89間に形成された薄膜トランジスタのチャネル幅方向におけるチャネル端部である。図8および図9においてA、B、C、Dはそれぞれの図において対応する部位を示している。

【0005】以上のように第1および第2の従来例では、いずれにおいても、通常別々のフォト・エッチング工程により行われる、ゲート電極のパターンニングとトランジスタ領域を決定する半導体層等のパターンニングとを、1回のフォト・エッチング工程で形成することが可能であった。

【0006】

【発明が解決しようとする課題】しかしながら第2の従来例のような構造および製造方法では、半導体層84が

5

ゲート電極82とほぼ同じパターンであるため、表示素子として、基板81の裏面からの照明に対するゲート電極82の半導体層84への光遮蔽が不十分となる。このため、図9に示す半導体層84のチャネル端部84aにおいて光電導が発生しトランジスタ特性を劣化させ、特にオフ電流が増加することにより表示特性の欠陥が生じやすくなるという課題を有していた。また、第1の従来例では、図7における側壁絶縁膜77がTa金属の陽極酸化膜であることから、光に対して透明であり、明らかに半導体層74がゲート電極72よりも大きいパターンとなるため、半導体層74が基板71の裏面からの照明に対して影響されやすくなる。第1の従来例に対する平面図は示していないが、ほぼ図9と同様であり、図9におけるチャネル端部84aと同一部位において光電導が発生し、第2の従来例と同様、またはそれ以上に表示特性の欠陥が生じやすくなるという課題を有していた。

【0007】本発明は上記課題に鑑み、基板の裏面からの照明に対する半導体層の光遮蔽を充分に行い、オフ電流の増加による輝点欠陥等の発生のない薄膜トランジスタおよびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明の第一の薄膜トランジスタは、透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層と半導体層が略同一パターンで積層され、前記ゲート電極の側壁と前記半導体層の側壁を覆う遮光絶縁性側壁膜と、少なくとも前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することを特徴とする。ここで遮光性の程度は、液晶表示素子として用いたとき、バックライトによる薄膜トランジスタの特性劣化が表示品位に影響を及ぼさない程度であることが必要であり、具体的数値で表現すると例えば光透過率0.1%程度となる。またパターンが略同一としたのは、あらかじめ積層した多層膜を一つのマスクでエッチング加工するため、積層した膜それぞれのエッチング速度が完全には一致しないことによるパターン寸法のがたつきが生じることを考慮したためである。具体的にはパターンの片側0.5μm以内の範囲内である。前記構成においては、ゲート電極の側壁に前記ゲート電極の陽極酸化膜が存在することが好ましい。この陽極酸化膜は透明であってもよいし、遮光性のものであってもよい。また前記構成においては、遮光絶縁性側壁膜が黒色有機膜であることが好ましい。ここで黒色有機膜とは、一般にブラックレジストと呼ばれるもので、カラーフィルターと同じく有機顔料とアクリル系樹脂から構成される。通常のフォトリソ工程とほぼ同じ方法で使用するものである。

【0009】次に本発明の第二の薄膜トランジスタは、

6

透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層が略同一パターンで積層され、前記半導体層が前記ゲート電極より小さいパターンであり、前記ゲート電極の側壁を覆う絶縁性側壁膜と、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することを特徴とする。前記構成においては、絶縁性側壁膜がゲート電極の陽極酸化膜であってもよい。また前記構成においては、ゲート電極の側壁に前記ゲート電極の陽極酸化膜が存在することが好ましい。すなわちゲート電極の側壁に前記ゲート電極の陽極酸化膜が存在し、さらに陽極酸化膜を覆う絶縁性側壁膜が存在する場合である。また前記構成においては、絶縁性側壁膜が、窒化シリコン膜、酸化シリコン膜および有機膜から選ばれる少なくとも1つの膜であることが好ましい。ここで有機膜とはカラーフィルターそのものや、ブラックレジストの顔料をぬいて透明であるものをいう。また前記構成においては、絶縁性側壁膜が遮光性膜であってもよい。また前記構成においては、ゲート電極がAlまたはAl合金からなるものであってもよい。また前記構成においては、ゲート電極がTaまたはTa合金からなるものであってもよい。また前記構成においては、ソース・ドレイン配線と半導体層との間にコンタクト層を存在させてもよい。また前記構成においては、ソース・ドレイン配線の表面に保護層が存在していてもよい。

【0010】次に本発明の薄膜トランジスタの製造方法は、基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタの製造方法において、基板上にゲート電極膜とゲート絶縁体膜と半導体膜とを成膜し、前記ゲート電極膜と前記ゲート絶縁体膜と前記半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とが積層されたパターンを形成し、前記基板およびパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記ゲート電極と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターンニングしソース・ドレイン電極配線を形成することを特徴とする。

【0011】前記構成においては、半導体膜の上に低抵抗膜とコンタクト金属膜とを成膜し、ゲート電極膜とゲート絶縁体膜と半導体膜と低抵抗膜とコンタクト金属膜とを第1のマスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とコンタクト層とコンタクト金属層とを形成し、前記ゲート電極とゲート絶縁体層と半導体層を前記コンタクト金属層よりも小さくし、前記基板およびコンタクト金属層の表面を覆う遮光絶縁性膜を形成後、前記コンタクト金属層を第2のマスクとした

異方性ドライエッチングにより、前記ゲート電極と半導体層との側壁を覆う遮光絶縁性側壁膜を形成し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および遮光性絶縁性側壁膜の表面に成膜後パターニングしソース・ドレイン電極配線を形成することが好ましい。

【0012】また前記構成においては、基板上にゲート電極とゲート絶縁体層と半導体層とを形成した後に、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板および前記ゲート電極とゲート絶縁体層と半導体層とが形成するパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記陽極酸化膜と前記ゲート絶縁体層と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成し、前記陽極酸化膜と遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターニングしソース・ドレイン電極配線を形成することが好ましい。

【0013】また前記構成においては、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記基板およびパターンの表面を覆うように絶縁性膜を形成後、異方性ドライエッチングにより前記ゲート電極の側壁を覆う絶縁性側壁膜を形成し、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターニングしソース・ドレイン電極配線を形成することが好ましい。ここでオーバーエッチングとは、エッチングの終点時間以上にエッチング操作をすることをいう。マスクを用いたエッチングにおいて、通常マスクの非被覆部でエッチング目的物が除去された時点でエッチング終了とするのに対し、オーバーエッチングではエッチング操作を続行し、マスクの下部（裏側）までエッチング目的物をエッチングし、マスクサイズより小さいエッチング目的物のパターンを得る。また、ゲート電極の側壁を覆う絶縁性側壁膜はゲート電極のみでなくゲート絶縁体膜と半導体膜の側壁を覆っていてもよい。

【0014】また前記構成においては、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記陽極酸化膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板、前記ゲート電極の側壁、前記絶縁体層の側壁、および前記半導体層の側壁の表面に

成膜後パターニングしソース・ドレイン電極配線を形成することが好ましい。

【0015】また前記構成においては、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板およびパターンの表面に絶縁性膜を形成後、異方性ドライエッチングにより前記陽極酸化膜を覆う絶縁性側壁膜を形成し、前記陽極酸化膜と前記絶縁性側壁膜とにより前記ゲート電極の側壁から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターニングしソース・ドレイン電極配線を形成することが好ましい。また前記構成においては、異方性ドライエッチングが酸素を含むプラズマによる反応性イオンエッチングであることが好ましい。また前記構成においては、半導体層の上に低抵抗層を形成してもよい。また前記構成においては、ソース・ドレイン配線の表面に保護層を形成してもよい。

【0016】

【発明の実施の形態】前記本発明の第一の薄膜トランジスタによれば、透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層と半導体層が略同一パターンで積層され、前記ゲート電極の側壁と前記半導体層の側壁を覆う遮光絶縁性側壁膜と、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することにより、基板の裏面からの照明に対する半導体層の光遮蔽を充分に行い、オフ電流の増加による輝点欠陥等の発生のない薄膜トランジスタを達成できる。ゲート電極の側壁に前記ゲート電極の陽極酸化膜が存在する場合、例えばシュウ酸、マロン酸、ジグリコール酸、マレイン酸、アセチレンジカルボン酸、リンゴ酸、酒石酸、クエン酸、グリオキシル酸、またはこれらの混酸を電解液として用いることにより、黄褐色ないしは濃い灰色の遮光性の陽極酸化膜が形成される。

【0017】次に前記本発明の第二の薄膜トランジスタによれば、透明な基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタにおいて、ゲート電極とゲート絶縁体層が略同一パターンで積層され、前記半導体層が前記ゲート電極より小さいパターンであり、前記ゲート電極の側壁を覆う絶縁性側壁膜と、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離されたソース・ドレイン電極配線とを有することにより、基板の裏面からの照明に対する半導体層の光遮蔽を充分に行い、オフ電流の増加による輝点欠陥等の発生のない薄膜トランジスタを

達成できる。

【0018】次に前記本発明の薄膜トランジスタの製造方法によれば、基板上に積層されたゲート電極、ゲート絶縁体層、半導体層、およびソース・ドレイン配線を備えた薄膜トランジスタの製造方法において、基板上にゲート電極膜とゲート絶縁体膜と半導体膜とを成膜し、前記ゲート電極膜と前記ゲート絶縁体膜と前記半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とが積層されたパターンを形成し、前記基板およびパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記ゲート電極と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、本発明の第一の薄膜トランジスタを効率よく合理的に製造することができる。前記構成において、半導体膜の上に低抵抗膜とコンタクト金属膜とを成膜し、ゲート電極膜とゲート絶縁体膜と半導体膜と低抵抗膜とコンタクト金属膜とを第1のマスクを用いてパターンニングしゲート電極とゲート絶縁体層と半導体層とコンタクト層とコンタクト金属層とを形成し、前記ゲート電極とゲート絶縁体層と半導体層を前記コンタクト金属層よりも小さくし、前記基板およびコンタクト金属層の表面を覆う遮光絶縁性膜を形成後、前記コンタクト金属層を第2のマスクとした異方性ドライエッチングにより、前記ゲート電極と半導体層との側壁を覆う遮光絶縁性側壁膜を形成し、前記遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および遮光性絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、遮光絶縁性側壁膜をより効率的に形成できる。また、基板上にゲート電極とゲート絶縁体層と半導体層とを形成した後に、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板およびパターンの表面に遮光絶縁性膜を形成し、異方性ドライエッチングにより前記陽極酸化膜と前記ゲート絶縁体層と前記半導体層の側壁とを覆う遮光絶縁性側壁膜を形成し、前記陽極酸化膜と遮光絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板と遮光膜およびパターンの表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、ゲート電極の側壁部に陽極酸化膜を備え、かつ半導体層が遮光絶縁性側壁膜で覆われた薄膜トランジスタを製造することができる。

【0019】また、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導

体層を形成し、前記基板およびパターンの表面に絶縁性膜を形成後、異方性ドライエッチングにより前記ゲート電極の側壁を覆う絶縁性側壁膜を形成し、前記絶縁性側壁膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、前記本発明の第二の薄膜トランジスタを製造できる。また、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記陽極酸化膜により前記ゲート電極から絶縁隔離したソース・ドレイン金属膜を前記基板、前記ゲート電極の側壁、前記絶縁体層の側壁、および前記半導体層の側壁の表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、ゲート電極の陽極酸化膜が絶縁性側壁膜を兼ねた前記本発明の第二の薄膜トランジスタを製造できる。また、ゲート電極膜とゲート絶縁体膜と半導体膜とを同一マスクを用いてパターンニングしゲート電極とゲート絶縁体層とを形成し、オーバーエッチングにより前記ゲート電極よりも小さいパターンを有する半導体層を形成し、前記ゲート電極を陽極酸化し前記ゲート絶縁体層により被覆されていない前記ゲート電極の側壁部に陽極酸化膜を形成し、前記基板およびパターンの表面に絶縁性膜を形成後、異方性ドライエッチングにより前記陽極酸化膜を覆う絶縁性側壁膜を形成し、前記陽極酸化膜と前記絶縁性側壁膜とにより前記ゲート電極の側壁から絶縁隔離したソース・ドレイン金属膜を前記基板および絶縁性側壁膜の表面に成膜後パターンニングしソース・ドレイン電極配線を形成することにより、ゲート電極の側壁部に陽極酸化膜を備え、かつ半導体層が遮光絶縁性側壁膜で覆われた薄膜トランジスタを製造することができる。。また、異方性ドライエッチングが酸素を含むプラズマによる反応性イオンエッチングであるという本発明の好ましい例によれば、特に黒色有機膜または有機膜で絶縁性膜を形成する場合に効率的に形成することができる。

【0020】本発明では、上記した構造および方法によって、ゲート電極のパターンニングとトランジスタ領域を決定する半導体層等のパターンニングとを、一回のフォトリソ・エッチング工程で形成することが可能であるとともに、半導体層のチャネル端部が基板裏面からの照明に対し十分に光遮蔽される。

【0021】

【実施例】以下本発明を実施例を用いてさらに具体的に説明する。

(実施例1) 図1(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程の断面図である。

【0022】まず、縦300mm×横400mm×厚さ1.1mmのガラスからなる透明な基板1の上にAlZr合金からなるゲート電極膜22をスパッタ蒸着法で厚さ300nmに成膜し、次にプラズマ促進化学気相蒸着(Plasma enhanced Chemical Vapor Deposition; 以下PECVDと略す)法により窒化シリコンからなるゲート絶縁体膜23(厚さ200nm)と非晶質シリコンからなる半導体膜24(厚さ200nm)とリン添加非晶質シリコンからなる低抵抗膜25(厚さ50nm)とを成膜する(図1(a))。次に、低抵抗膜25上にゲート配線パターンを有するレジスト(図示せず)を形成し、前記レジストをマスクとし塩素系ガスを含むプラズマを用いた反応性イオンエッチング法により、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。次に、前記レジストを除去後、黒色有機膜(富士ハントエレクトロニクステクノロジー社の商標名カラーモザイク、CK-2000)からなる遮光絶縁性膜26を公知のフォトリソ工程(露光:450mW/cm²、バーク:200℃、30分)により全面ほぼ等しい膜厚(2μm)に形成する(図1(b))。なお、遮光絶縁性膜の光透過率は約0.1%であった。次に、酸素プラズマを用いた反応性イオンエッチング法により遮光絶縁性膜26を異方性エッチングし、コンタクト層5を露呈するとともに、コンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2の側面に遮光絶縁性側壁膜26aを形成する(図1(c))。次に、TiとAlZr合金との2層構造からなるソース・ドレイン金属膜を全面に成膜後、ソース・ドレイン配線パターンに加工し、さらに前記ソース・ドレイン配線パターン間の露呈した前記コンタクト層5を除去し薄膜トランジスタのソース・ドレイン領域を形成するとともに、前記ゲート電極2に対し前記遮光絶縁性側壁膜26aにより絶縁隔離したソース・ドレイン電極配線27を形成し、配線を有した薄膜トランジスタが得られる(図1(d))。さらに、全面に窒化シリコンからなる保護膜28を形成後、前記ソース・ドレイン電極配線27と接続した酸化インジウム錫からなる画素電極8を形成し、液晶表示装置において画素電極を配線した薄膜トランジスタのアレイ構造が完成する(図1(e))。

【0023】以上のように本実施例によれば、コンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2の側面に黒色有機膜からなる遮光絶縁性側壁膜26aを有するため、基板裏面からの照明に対し半導体層4を充分光遮蔽することが可能となる。

【0024】(実施例2) 図2(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程の断面図である。

【0025】実施例1と同様にして、ガラスからなる基

板1上にAlZr合金からなるゲート電極膜22と窒化シリコンからなるゲート絶縁体膜23と非晶質シリコンからなる半導体膜24とリン添加非晶質シリコンからなる低抵抗膜25とを成膜後、Tiからなるコンタクト金属膜31をスパッタ蒸着法で成膜する(図2(a))。次に、コンタクト金属膜31上にゲート配線パターンを有するレジストを形成し、レジストを第1のマスクとし塩素とフッ素の混合系ガスを含むプラズマを用いた反応性イオンエッチング法により、コンタクト金属膜31、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト金属層31a、コンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。ここで、コンタクト金属膜31に比べ、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をオーバーエッチングし、コンタクト金属層31aのパターンが、それより下層のコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2のパターンに比べて大きく、いわゆる底構造(またはオーバーハング)となるように形成する。次に、レジストを除去後、実施例1で用いたのと同様の黒色有機膜からなる遮光絶縁性膜26を回転または印刷で塗布する(図2(b))。次に、酸素プラズマを用いた反応性イオンエッチング法によりコンタクト金属層31aを第2のマスクとして遮光絶縁性膜26をエッチバックし、コンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2の側壁を覆う遮光絶縁性側壁膜26aを形成する(図2(c))。次に、AlZr合金からなるソース・ドレイン金属膜を全面に成膜後ソース・ドレイン配線パターンに加工し、さらに前記ソース・ドレイン配線パターン間の露呈したコンタクト金属層31aおよびその直下のコンタクト層5を除去し、薄膜トランジスタのソース・ドレイン領域を形成するとともに、ゲート電極2に対し遮光絶縁性側壁膜26aにより絶縁隔離したソース・ドレイン電極配線27を形成し、配線を有した薄膜トランジスタが得られる(図2(d))。さらに、全面に窒化シリコンからなる保護膜28を形成後、ソース・ドレイン電極配線27と接続した酸化インジウム錫からなる画素電極8を形成し、液晶表示装置において画素電極を配線した薄膜トランジスタのアレイ構造が完成する(図2(e))。

【0026】以上のように本実施例によれば、コンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2の側面に黒色有機膜からなる遮光絶縁性側壁膜26aを有するため、基板裏面からの照明に対し半導体層4を充分光遮蔽することが可能となるとともに、コンタクト金属膜31の成膜を低抵抗膜25の成膜に続いて行うことにより低抵抗膜25の表面劣化に伴うコンタクト金属膜31と低抵抗膜25との接触抵抗の増加を低く抑さえ、薄膜トランジスタの電気的特性を改善することが

可能となる。

【0027】なお、以上の実施例ではコンタクト金属膜31をTiからなるものを用いたが、コンタクト金属膜31は、低抵抗膜25を介して薄膜トランジスタの良好なソース・ドレイン電極を形成でき、遮光絶縁性側壁膜26a形成時のマスクとなるものであればよく、MoやMoSi合金などでもよい。

【0028】(実施例3) 図3(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程断面図である。

【0029】実施例1と同様にして、ガラスからなる基板1上にAlZr合金からなるゲート電極膜22と窒化シリコンからなるゲート絶縁体膜23と非晶質シリコンからなる半導体膜24とリン添加非晶質シリコンからなる低抵抗膜25とを成膜する(図3(a))。次に、低抵抗膜25上にゲート配線パターンを有するレジストを形成し、前記レジストをマスクとし塩素系ガスを含むプラズマを用いた反応性イオンエッチング法により、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。次にゲート電極2の露呈している側面に対し、シュウ酸を電解液として陽極酸化を行い遮光性陽極酸化膜41を形成する。次に、前記レジストを除去後、実施例1で用いたのと同様の黒色有機膜からなる遮光絶縁性膜26を実施例1と同様の方法で全面ほぼ等しい膜厚(2μm)に形成する(図3(b))。次に、酸素プラズマを用いた反応性イオンエッチング法により遮光絶縁性膜26を異方性エッチングし、コンタクト層5を露呈するとともに、コンタクト層5、半導体層4、ゲート絶縁体層3ならびに遮光性陽極酸化膜41の側面に遮光絶縁性側壁膜26aを形成する(図3(c))。次に、TiとAlZr合金との2層構造からなるソース・ドレイン金属膜を全面に成膜後ソース・ドレイン配線パターンに加工し、さらに前記ソース・ドレイン配線パターン間の露呈したコンタクト層5を除去し薄膜トランジスタのソース・ドレイン領域を形成するとともに、ゲート電極2に対し遮光性陽極酸化膜41および遮光絶縁性側壁膜26aにより絶縁隔離したソース・ドレイン電極配線27を形成し、配線を有した薄膜トランジスタが得られる(図3(d))。さらに、全面に窒化シリコンからなる保護膜28を形成後、前記ソース・ドレイン電極配線27と接続した酸化インジウム錫からなる画素電極8を形成し、液晶表示装置において画素電極を配線した薄膜トランジスタのアレイ構造が完成する(図3(e))。

【0030】以上のように本実施例によれば、ゲート電極2の側面に遮光性陽極酸化膜41を有し、かつコンタクト層5、半導体層4、ゲート絶縁体層3ならびに遮光性陽極酸化膜41の側面にさらに黒色有機膜からなる遮光絶縁性側壁膜26aを有するため、基板裏面からの照

明に対し半導体層4を十分に光遮蔽することが可能となるとともに、ゲート電極2とソース・ドレイン電極配線27とが、遮光性陽極酸化膜41および遮光絶縁性側壁膜26aにより絶縁隔離されるため、ゲート電極2とソース・ドレイン電極配線27とのショート発生率を大幅に低減することが可能となる。

【0031】なお、以上の実施例ではゲート電極膜22をAlZr合金からなるものとし、遮光性陽極酸化膜41をシュウ酸を電解液として前記ゲート電極膜22を陽極酸化したものとしたが、ゲート電極膜22は、薄膜トランジスタのゲート電極を形成でき、遮光性の陽極酸化膜が形成できるものであればよく、Zr以外の高融点金属とAlとの合金、またはAlに代えてTaなどでもよい。

【0032】(実施例4) 図4(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程の断面図である。実施例1と同様にして、ガラスからなる基板1上にAlZr合金からなるゲート電極膜22と窒化シリコンからなるゲート絶縁体膜23と非晶質シリコンからなる半導体膜24とリン添加非晶質シリコンからなる低抵抗膜25とを成膜する(図4(a))。次に、低抵抗膜25上にゲート配線パターンを有するレジストを形成し、前記レジストをマスクとし塩素とフッ素の混合系ガスを含むプラズマを用いた反応性イオンエッチング法により、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。ここでゲート絶縁体膜23ならびにゲート電極膜22に比べ、低抵抗膜25、半導体膜24をオーバーエッチングし、半導体層4およびコンタクト層5のパターンがゲート絶縁体層3ならびに後工程での陽極酸化膜51形成後のゲート電極2のパターンに比べて、小さく形成する(図4(b))。具体的には半導体層4およびコンタクト層5のパターンが幅12μmであるのに対し、ゲート絶縁体層3およびゲート電極2のパターンの幅は約16μmである。

【0033】次に、ゲート電極2の露呈している側面に対し酒石酸アンモニウムを電解液として陽極酸化を行い、陽極酸化膜51を形成する(図4(c))。次に、前記レジストを除去後、TiとAl合金との2層構造からなるソース・ドレイン金属膜を全面に成膜後、ソース・ドレイン配線パターンに加工し、さらにソース・ドレイン配線パターン間の露呈したコンタクト層5を除去し薄膜トランジスタのソース・ドレイン領域を形成するとともに、ゲート電極2に対し陽極酸化膜51により絶縁隔離したソース・ドレイン電極配線27を形成し、配線を有した薄膜トランジスタが得られる(図4(d))。さらに、全面に窒化シリコンからなる保護膜28を形成後、ソース・ドレイン電極配線27と接続した酸化インジウム錫からなる画素電極8を形成し、液晶表示装置にお

いて画素電極を配線した薄膜トランジスタのアレイ構造が完成する(図4(e))。

【0034】以上のように本実施例によれば、半導体層4のパターンがゲート電極2のパターンより小さく内側に形成されるため、基板裏面からの照明に対し半導体層4を十分に光遮蔽することが可能となる。

【0035】なお、以上の実施例ではゲート電極膜22をAlZr合金からなるものとしたが、ゲート電極膜22は、薄膜トランジスタのゲート電極を形成でき、陽極酸化膜が形成できるものであればよく、Zr以外の高融点金属とAlとの合金、またはAlに代えてTaなどでもよい。また、半導体層4およびコンタクト層5の両パターンを、ゲート絶縁体層3ならびに後工程での陽極酸化膜51形成後のゲート電極2のパターンよりも小さく形成したが、少なくとも前記半導体層4のパターンが前記ゲート電極2のパターンよりも小さく形成すればよい。

【0036】(実施例5)図5(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程の断面図である。

【0037】実施例1と同様にして、ガラスからなる基板1上にAlZr合金からなるゲート電極膜22と窒化シリコンからなるゲート絶縁体膜23と非晶質シリコンからなる半導体膜24とリン添加非晶質シリコンからなる低抵抗膜25とを成膜する(図5(a))。次に、低抵抗膜25上にゲート配線パターンを有するレジストを形成し、前記レジストをマスクとし塩素とフッ素の混合系ガスを含むプラズマを用いた反応性イオンエッチング法により、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。ここでゲート絶縁体膜23ならびにゲート電極膜22に比べ、低抵抗膜25、半導体膜24をオーバーエッチングし、半導体層4およびコンタクト層5のパターンがゲート絶縁体層3ならびにゲート電極2のパターンに比べて、小さく形成する。具体的には半導体層4およびコンタクト層5のパターンが幅12 μ mであるのに対して、ゲート絶縁体層3およびゲート電極2のパターンの幅は約16 μ mである。

【0038】次に、前記レジストを除去後、窒化シリコンからなる絶縁性膜61をP-CVD法により形成する(図5(b))。次に、フッ素系ガスを含むプラズマを用いた反応性イオンエッチング法により、コンタクト層5を露呈し、かつコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2の側壁を覆う絶縁性側壁膜61aを形成する(図5(c))。次に、TiとAlZr合金との2層構造からなるソース・ドレイン金属膜を全面に成膜後ソース・ドレイン配線パターンに加工し、さらにソース・ドレイン配線パターン間の露呈したコンタクト層5を除去し薄膜トランジスタのソース・ド

レイン領域を形成するとともに、ゲート電極2に対し絶縁性側壁膜61aにより絶縁隔離したソース・ドレイン電極配線27を形成し、配線を有した薄膜トランジスタが得られる(図5(d))。さらに、全面に窒化シリコンからなる保護膜28を形成後、前記ソース・ドレイン電極配線27と接続した酸化インジウム錫からなる画素電極8を形成し、液晶表示装置において画素電極を配線した薄膜トランジスタのアレイ構造が完成する(図5(e))。

10 【0039】以上のように本実施例によれば、実施例4と同様に、半導体層4のパターンがゲート電極2のパターンより小さく内側に存在するため、基板裏面からの照明に対し半導体層4を十分に光遮蔽することが可能となる。さらに、本実施例では絶縁性膜61を窒化シリコンからなるものを用いたが、絶縁性膜61として黒色有機膜を用い、酸素プラズマを用いた反応性イオンエッチング法により絶縁性側壁膜61aを形成することにより、ソース・ドレイン電極配線27とゲート電極2との絶縁隔離を行うとともに、基板裏面からの直接的な照明に対してのみならず半導体層4の側壁方向に対しても光遮蔽をより確実に行うことが可能となる。

【0040】なお、半導体層4およびコンタクト層5の両パターンを、ゲート絶縁体層3ならびにゲート電極2のパターンよりも小さく形成したが、少なくとも前記半導体層4のパターンが前記ゲート電極2のパターンよりも小さく形成すればよい。

【0041】(実施例6)図6(a)、(b)、(c)、(d)、(e)は本実施例の薄膜トランジスタの製造工程の断面図である。

30 【0042】実施例1と同様にして、ガラスからなる基板1上にAlZr合金からなるゲート電極膜22と窒化シリコンからなるゲート絶縁体膜23と非晶質シリコンからなる半導体膜24とリン添加非晶質シリコンからなる低抵抗膜25とを成膜する(図6(a))。次に、低抵抗膜25上にゲート配線パターンを有するレジストを形成し、前記レジストをマスクとし塩素とフッ素の混合系ガスを含むプラズマを用いた反応性イオンエッチング法により、低抵抗膜25、半導体膜24、ゲート絶縁体膜23ならびにゲート電極膜22をエッチングし、それぞれコンタクト層5、半導体層4、ゲート絶縁体層3ならびにゲート電極2を形成する。ここでゲート絶縁体膜23ならびにゲート電極膜22に比べ、低抵抗膜25、半導体膜24をオーバーエッチングし、半導体層4およびコンタクト層5のパターンがゲート絶縁体層3ならびに後工程での陽極酸化膜51形成後のゲート電極2のパターンに比べて、小さく形成する。具体的には半導体層4およびコンタクト層5のパターンが幅13 μ mであるのに対して、ゲート絶縁体層3およびゲート電極2のパターンの幅が約16 μ mである。

50 【0043】次に、前記レジストを除去後、窒化シリコ

17

ンからなる絶縁性膜 6 1 を P-CVD 法により形成する (図 6 (b))。次に、フッ素系ガスを含むプラズマを用いた反応性イオンエッチング法によりコンタクト層 5 を露呈し、かつコンタクト層 5、半導体層 4、ゲート絶縁体層 3 ならびに陽極酸化膜 5 1 の側壁を覆う絶縁性側壁膜 6 1 a を形成する (図 6 (c))。次に、Ti と Al 合金との 2 層構造からなるソース・ドレイン金属膜を全面に成膜後ソース・ドレイン配線パターンに加工し、さらに前記ソース・ドレイン配線パターン間の露呈したコンタクト層 5 を除去し薄膜トランジスタのソース・ドレイン領域を形成するとともに、ゲート電極 2 に対し陽極酸化膜 5 1 と絶縁性側壁膜 6 1 a とにより絶縁隔離したソース・ドレイン電極配線 2 7 を形成し、配線を有した薄膜トランジスタが得られる (図 6 (d))。さらに、全面に窒化シリコンからなる保護膜 2 8 を形成後、ソース・ドレイン電極配線 2 7 と接続した酸化インジウム錫からなる画素電極 8 を形成し、液晶表示装置において画素電極を配線した薄膜トランジスタのアレイ構造が完成する (図 6 (e))。

【0044】 以上のように本実施例によれば、半導体層 4 のパターンがゲート電極 2 のパターンより小さく内側に存在するため、基板裏面からの照明に対し半導体層 4 を十分に光遮蔽することが可能となるとともに、ゲート電極 2 とソース・ドレイン電極配線 2 7 とが、陽極酸化膜 5 1 および絶縁性側壁膜 6 1 a により絶縁隔離されるため、ゲート電極 2 とソース・ドレイン電極配線 2 7 とのショート発生率を大幅に低減することが可能となる。実施例 6 では絶縁性膜 6 1 を窒化シリコンからなるものを用いたが、絶縁性膜 6 1 として黒色有機膜を用い、酸素プラズマを用いた反応性イオンエッチング法により絶縁性側壁膜 6 1 a を形成することにより、ソース・ドレイン電極配線 2 7 とゲート電極 2 との絶縁隔離を陽極酸化膜 5 1 との 2 重の膜で行うとともに、基板裏面からの直接的な照明に対してのみならず半導体層 4 の側壁方向に対しても光遮蔽をより確実に行うことが可能となる。

【0045】 なお、以上の実施例ではゲート電極膜 2 2 を AlZr 合金からなるものとしたが、ゲート電極膜 2 2 は、薄膜トランジスタのゲート電極を形成でき、陽極酸化膜が形成できるものであればよく、Zr 以外の高融点金属と Al との合金または Ta などでもよい。また、半導体層 4 およびコンタクト層 5 の両パターンを、ゲート絶縁体層 3 ならびに後工程での陽極酸化膜 5 1 形成後のゲート電極 2 のパターンよりも小さく形成したが、少なくとも前記半導体層 4 のパターンが前記ゲート電極 2 のパターンよりも小さく形成すればよい。

【0046】 さらに、以上に示した各実施例において、ゲート絶縁体膜 2 3、半導体膜 2 4、低抵抗膜 2 5 ならびにソース・ドレイン電極配線 2 7 を、それぞれ窒化シリコン、非晶質シリコン、リン添加非晶質シリコンおよび AlZr 合金、または Ti と AlZr 合金との 2 層構

18

造からなるものとしたが、ゲート絶縁体膜 2 3、半導体膜 2 4、低抵抗膜 2 5 ならびにソース・ドレイン電極配線 2 7 は薄膜トランジスタのそれぞれゲート絶縁層、チャネル層、コンタクト層ならびにソース・ドレイン電極配線となるものであればよく、例えば、ゲート絶縁体膜 2 3 として酸化シリコンまたは酸化窒化シリコン等、半導体膜 2 4 として微結晶シリコンまたは多結晶シリコン等、低抵抗膜 2 5 としてリン添加微結晶シリコンまたはリン添加多結晶シリコン等、ソース・ドレイン電極配線 2 7 として Ti、Mo 等でもよい。また、遮光絶縁性膜 2 6 を黒色有機膜からなるものとしたが、遮光性絶縁性膜 2 6 は、薄膜トランジスタの裏面からの照明に対する遮光性ならびにゲート電極 2 とソース・ドレイン電極配線 2 7 との絶縁性において、前記薄膜トランジスタの特性に起因する表示特性を劣化させないものであればよく、遮光性の無機質膜でもよい。例えば窒化シリコン等に (1) カラーセンターとなる金属イオンを混入させ黒化させたもの、または (2) カーボン (黒鉛) 粒子を分散させたもの等である。また、遮光絶縁性側壁膜 2 6 a をコンタクト層 5、半導体層 4、ゲート絶縁体層 3 ならびにゲート電極 2 の側面に形成したが、遮光絶縁性側壁膜 2 6 a は少なくとも前記半導体層 4 と前記ゲート電極 2 との側面に形成すればよい。

【0047】

【発明の効果】 以上のように本発明によれば、遮光絶縁性側壁膜や遮光性陽極酸化膜、または少なくともゲート電極よりも小さいパターンの半導体層を有することにより、ゲート電極のパターニングとトランジスタ領域を決定する半導体層等のパターニングとを、1 回のフォト・エッチング工程で形成しても、基板の裏面からの照明に対する半導体層の光遮蔽が充分に行われる。従ってフォト・エッチング工程の簡略化による歩留まり向上ならびに低コスト化とともに、裏面からの照明による薄膜トランジスタの特性劣化とそれに起因する輝点欠陥等の表示特性の劣化のない薄膜トランジスタを得ることができ

る。

【図面の簡単な説明】

【図 1】 本発明の実施例 1 の薄膜トランジスタおよびその製造方法を示した断面図

【図 2】 本発明の実施例 2 の薄膜トランジスタおよびその製造方法を示した断面図

【図 3】 本発明の実施例 3 の薄膜トランジスタおよびその製造方法を示した断面図

【図 4】 本発明の実施例 4 の薄膜トランジスタおよびその製造方法を示した断面図

【図 5】 本発明の実施例 5 の薄膜トランジスタおよびその製造方法を示した断面図

【図 6】 本発明の実施例 6 の薄膜トランジスタおよびその製造方法を示した断面図

【図 7】 従来の薄膜トランジスタの構造断面図

19

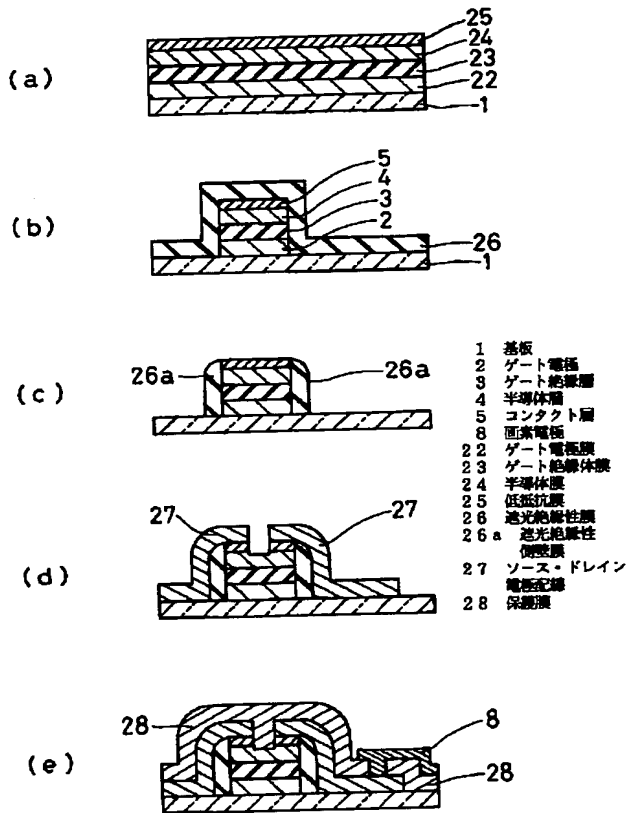
【図8】 従来の薄膜トランジスタの構造断面図

【図9】 図8で示した従来の薄膜トランジスタの構成を模式的に示す平面図

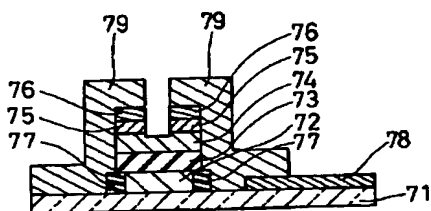
【符号の説明】

- 1、71、81 基板
 2、72、82 ゲート電極
 3、73、83 ゲート絶縁体層
 4、74、84 半導体層
 5、75、85 コンタクト層
 76、86 ソース・ドレイン電極
 77 側壁絶縁膜
 8、78、88 画素電極
 79、89 ソース・ドレイン配線
 22 ゲート電極膜
 23 ゲート絶縁体膜

【図1】



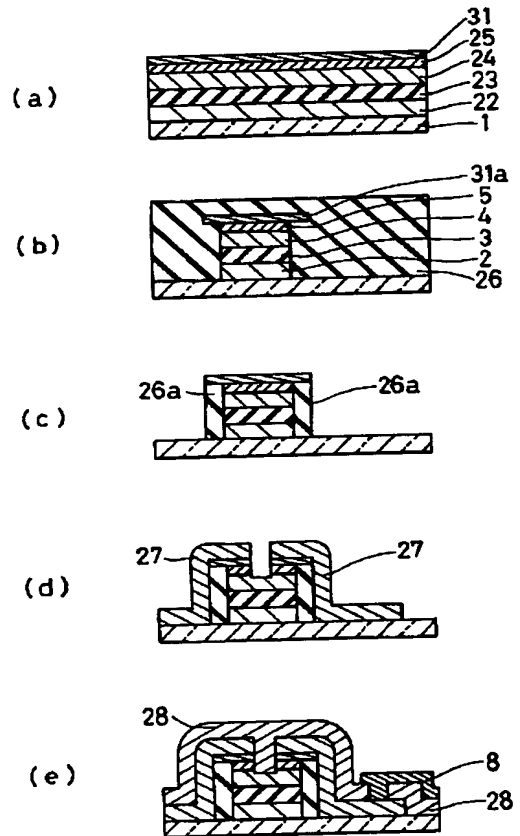
【図7】



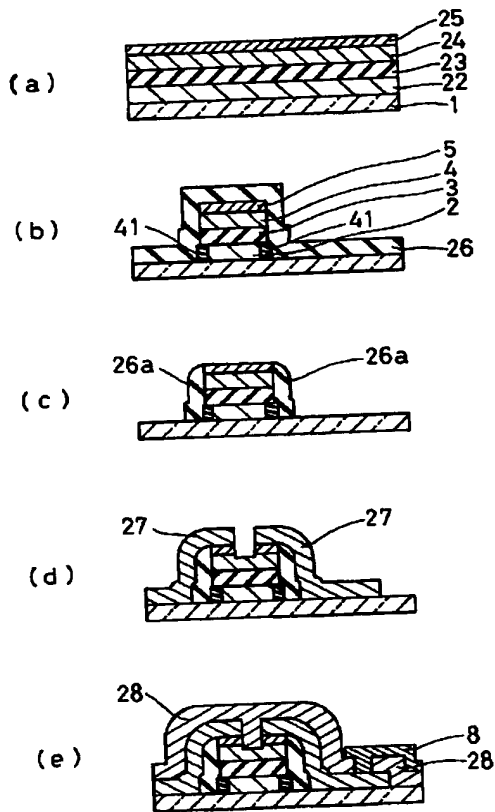
20

- 24 半導体膜
 25 低抵抗膜
 26 遮光絶縁性膜
 26a 遮光絶縁性側壁膜
 27 ソース・ドレイン電極配線
 28 保護膜
 31 コンタクト金属層
 31a コンタクト金属層
 41 遮光性陽極酸化膜
 51 陽極酸化膜
 61 絶縁性膜
 61a 絶縁性側壁膜
 84a チャンネル端部
 810 平坦化絶縁膜

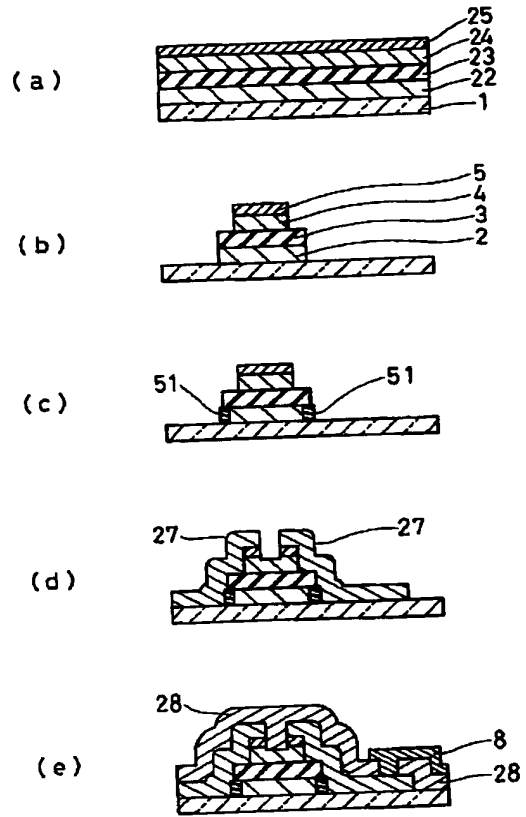
【図2】



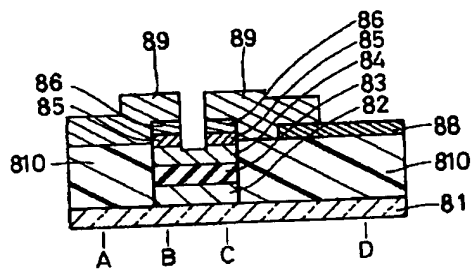
【図 3】



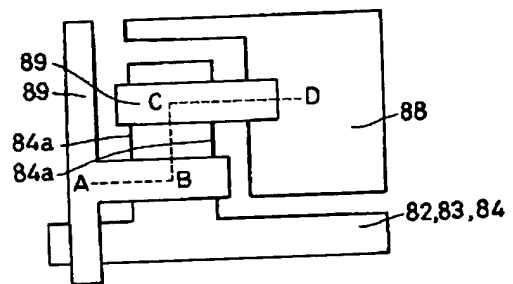
【図 4】



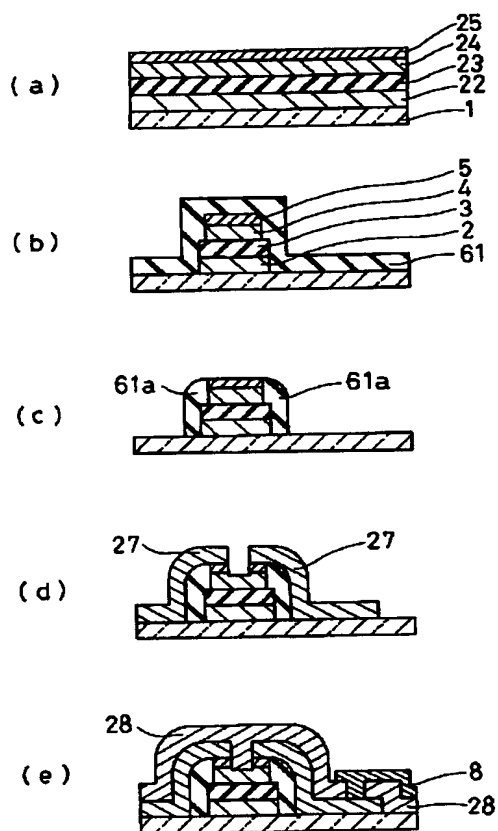
【図 8】



【図 9】



【図 5】



【図 6】

